

PATENT
12480-000018/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Toshihiro YANAGI, et al. Conf: Unknown
Application No.: New Application Group: Unknown
Filed: July 18, 2003 Examiner: Unknown
For: **DISPLAY DEVICE AND DRIVING METHOD THEREOF**

PRIORITY LETTER

July 18, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

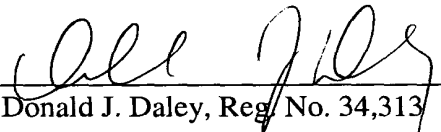
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-242119	August 22, 2002	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By 
Donald J. Daley, Reg. No. 34,313

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

DJD:me

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月22日

出 願 番 号

Application Number:

特願2002-242119

[ST.10/C]:

[JP2002-242119]

出 願 人

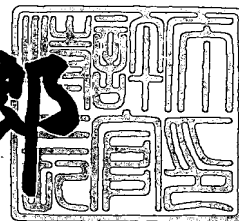
Applicant(s):

シャープ株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032278

【書類名】 特許願

【整理番号】 02J01607

【提出日】 平成14年 8月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/20 623
G09G 3/36
G02F 1/133 550

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柳 俊洋

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 中野 武俊

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 大和 朝日

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100115026

【弁理士】

【氏名又は名称】 圓谷 徹

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】

画素がマトリクス状に配置された表示部の画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置において、

上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、上記表示部を駆動するための駆動回路の駆動を停止させる駆動制御回路と、

データ信号を上記データ信号線に取り込むために使用されるクロック信号を生成するクロック信号生成回路とを備え、

上記駆動制御回路は、上記休止期間に、上記駆動回路の他に、上記クロック信号生成回路の駆動を停止させることを特徴とする表示装置。

【請求項 2】

上記駆動回路の上記表示部への駆動信号の出力タイミングに使用される出力タイミングクロックを生成する出力タイミングクロック生成回路が設けられ、

上記クロック信号生成回路は、上記出力タイミングクロック生成回路にて生成された出力タイミングクロックに基づいて、上記クロック信号を生成すると共に

上記駆動制御回路は、上記休止期間に、上記出力タイミングクロック生成回路の駆動を停止させることを特徴とする請求項 1 記載の表示装置。

【請求項 3】

上記駆動回路の走査スタートタイミングに使用されるスタートタイミングクロックを生成するスタートタイミングクロック生成回路が設けられ、

上記出力タイミングクロック生成回路は、上記スタートタイミングクロック生成回路にて生成されたスタートタイミングクロックに基づいて、出力タイミングクロックを生成すると共に、

上記駆動制御回路は、上記休止期間に、上記スタートタイミングクロック生成回路の駆動を停止させることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

上記クロック信号生成回路は、自身がクロック信号を発振するクロック信号発振回路であることを特徴とする請求項 1 記載の表示装置。

【請求項 5】

上記画素に、液晶表示素子が使用されていることを特徴とする請求項 1 記載の表示装置。

【請求項 6】

画素がマトリクス状に配置された画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置の駆動方法において、

上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、データ信号を上記データ信号線に取り込むためのクロック信号を生成するクロック信号生成回路の駆動を停止させることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素がマトリクス状に配置された表示部の画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置およびその駆動方法に関する。

【0002】

【従来の技術】

従来、アクティブマトリクス型の表示装置は、例えば図 10 に示すように、マトリクス状に配された画素を有するアクティブマトリクスパネル 101 と、該アクティブマトリクスパネル 101 内のデータ信号線（図示せず）を駆動する信号

線駆動回路 1 0 2 と、該アクティブマトリクスパネル 1 0 1 内の走査線（図示せず）を駆動する走査線駆動回路 1 0 3 と、上記信号線駆動回路 1 0 2 に転送するデジタル映像信号を格納するフレームメモリ 1 0 4 と、上記信号線駆動回路 1 0 2 にてデジタル映像信号をアナログ信号に変換するための信号（レベル電圧）を生成するアナログ回路 1 0 5 とを備えている。

【 0 0 0 3 】

上記表示装置は、さらに、ドットクロック発振回路（DCK 発振回路） 1 0 6 、 H カウンタ 1 0 7 、 V カウンタ 1 0 8 を備えている。

【 0 0 0 4 】

上記 DCK 発振回路 1 0 6 は、フレームメモリ 1 0 4 に格納されたデジタル映像信号を信号線駆動回路 1 0 2 にフレーム単位で転送させるためのドットクロックを発振する回路である。この DCK 発振回路 1 0 6 から発振されたドットクロックは、信号線駆動回路 1 0 2 に供給され、映像信号のサンプリングクロックとして使用される。

【 0 0 0 5 】

また、上記 DCK 発振回路 1 0 6 から発振されたドットクロックは、H カウンタ 1 0 7 にも供給される。該 H カウンタ 1 0 7 は、供給されたドットクロックに基づいて水平同期系信号を生成し、信号線駆動回路 1 0 2 及び走査線駆動回路 1 0 3 に供給するようになっている。

【 0 0 0 6 】

上記水平同期系信号は、信号線駆動回路 1 0 2 において、映像信号のアクティブマトリクスパネル 1 0 1 への出力タイミング信号として使用され、走査線駆動回路 1 0 3 において、走査信号のアクティブマトリクスパネル 1 0 1 への出力タイミング信号として使用される。

【 0 0 0 7 】

また、上記 H カウンタ 1 0 7 で生成された水平同期系信号は、V カウンタ 1 0 8 に供給される。この V カウンタ 1 0 8 では、上記水平同期系信号から垂直同期系信号を生成し、走査線駆動回路 1 0 3 に供給し、走査線の走査スタートのタイミングを制御するタイミング信号として使用される。

【 0 0 0 8 】

上記構成の表示装置において、DCK発振回路106にて発振されるドットクロック(DCK)と、Hカウンタ107にて生成される水平同期系信号(Hsync)と、Vカウンタ108にて生成される垂直同期系信号(Vsync)との信号波形は、図11に示すようになる。

【 0 0 0 9 】

なお、DCKは、他の信号(Hsync、Vsync)に比べて高速であるので、図11に示す波形図では、周期が詰まった状態(黒塗り)の状態を示している。

【 0 0 1 0 】

上記構成の表示装置は、図14(a)に示すようなタイミングでアクティブマトリクスパネル101内の走査信号線を駆動している。つまり、走査信号線G(0)、G(1)、G(2)、G(3)、…と順次、オン電圧を印加して各走査信号線に接続されたTFTをオンさせて表示を行う。ここで、何れかの走査線がオンしている期間を走査期間と称する。また、走査期間と走査期間との間には、帰線期間が存在する。

【 0 0 1 1 】

ところで、アクティブマトリクスパネル101がホールド型表示素子として、例えばTFT液晶パネルである場合、図14(b)に示すように、走査期間と走査期間との間に液晶が電荷を保持している期間を設けることができる。この期間では、液晶は電荷を保持した状態であり、該液晶に電圧を印加する必要がない状態であるので、アクティブマトリクスパネル101を駆動するための駆動系回路を停止させることができる。したがって、この期間を休止期間と称する。

【 0 0 1 2 】

上記のような駆動方法を実現する表示装置としては、例えば図12に示すように、駆動系回路としての、信号線駆動回路102、走査線駆動回路103、アナログ回路105の動作を停止させる休止制御回路109を設けた表示装置が考えられる。

【 0 0 1 3 】

上記休止制御回路109は、Vカウンタ108で生成される垂直同期系信号か

ら、図 1 3 に示すようなスキャン信号（Scan 信号）を生成し、この Scan 信号を信号線駆動回路 1 0 2、走査線駆動回路 1 0 3、アナログ回路 1 0 5 に供給する。

【 0 0 1 4 】

上記 Scan 信号は、走査期間はハイレベルとなり、休止期間はローレベルとなる 2 値の信号である。したがって、信号線駆動回路 1 0 2、走査線駆動回路 1 0 3、アナログ回路 1 0 5 は、供給された Scan 信号がハイレベルのとき作動し、ローレベルのとき停止するようにすれば、休止期間における消費電力を低減できる。このような技術は、特開 2 0 0 1 - 3 1 2 2 5 3 号公報に開示されている。

【 0 0 1 5 】

ここで、図 1 4（a）に示す表示装置の駆動方法と、図 1 4（b）に示す表示装置の駆動方法との消費電力について、図 1 5（a）（b）を参照しながら以下に説明する。

【 0 0 1 6 】

図 1 5（a）は、図 1 4（a）に示す表示装置の駆動方法における消費電力を示し、図 1 5（b）は、図 1 4（b）に示す表示装置の駆動方法における消費電力を示している。

【 0 0 1 7 】

図 1 4（a）に示す表示装置の駆動方法では、表示装置内の回路が常に動作していることになるので、図 1 5（a）に示すように、1 フレーム期間の消費電力がそのまま表示装置の平均消費電力となる。この場合、1 フレーム期間で消費する電力を 1 0 mW とする。

【 0 0 1 8 】

これに対して、図 1 4（b）に示す表示装置の駆動方法では、表示装置内の回路のうち、信号線駆動回路 1 0 2、走査線駆動回路 1 0 3、アナログ回路 1 0 5 が非リフレッシュ期間（休止期間）に停止するように制御されているので、図 1 5（b）に示すように、リフレッシュ期間（走査期間）の消費電力が高く、非リフレッシュ期間の消費電力が低くなり、表示装置の平均消費電力を下げるができる。

【 0 0 1 9 】

【発明が解決しようとする課題】

ところで、図 1 2 に示す表示装置では、走査フレームと非走査フレームとを決定するのに必要な信号（水平同期系信号、垂直同期系信号）を D C K 発振回路 1 0 6 からのドットクロックに基づいて生成するようになっているので、非リフレッシュ期間であっても、上記 D C K 発振回路 1 0 6 は駆動している。

【 0 0 2 0 】

しかも、上記 D C K 発振回路 1 0 6 は、リフレッシュ期間において使用される書き込みタイミング等の決めるタイミングクロック等の高速なクロックを生成するのに使用されているため、消費電力が大きい。

【 0 0 2 1 】

したがって、図 1 4 (b) に示す表示装置の駆動方法を採用することにより、休止期間の消費電力を下げ、平均消費電力を低減するようにしているが、他の駆動系回路（信号線駆動回路 1 0 2、走査線駆動回路 1 0 3、アナログ回路 1 0 5）よりも高速で駆動する D C K 発振回路 1 0 6 が非リフレッシュ期間に駆動しているので、非リフレッシュ期間での大幅な消費電力の低減を図ることができないという問題が生じる。

【 0 0 2 2 】

例えば、D C K 発振回路 1 0 6 が 5 0 0 k H z で動作している場合、図 1 6 に示すグラフから、消費電力は約 2 m W となる。つまり、図 1 5 (b) に示す非リフレッシュ期間の平均消費電力を 2 m W と近似できる。

【 0 0 2 3 】

ここで、リフレッシュ期間の消費電力を 1 0 m W とし、リフレッシュ期間と非リフレッシュ期間の比率が 1 : 9 とした場合、平均消費電力は、 $(10\text{ mW} \times 1 + 2\text{ mW} \times 9) / 10 = 2.8\text{ mW}$ となる。

【 0 0 2 4 】

上記非リフレッシュ期間の比率を上げれば、平均消費電力を下げることはできるが、非リフレッシュ期間の消費電力の 2 m W に限りなく近づくだけで、これ以上の消費電力の低減を図ることができない、つまり、非リフレッシュ期間において

動作する回路で消費される電力よりも消費電力を低減できないという問題が生じる。

【 0 0 2 5 】

本発明は、上記の問題点に鑑みなされたものであって、その目的は、非リフレッシュ期間に消費電力の大きい回路を停止させることで、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を大幅に低減できる表示装置およびその駆動方法を提供することにある。

【 0 0 2 6 】

【課題を解決するための手段】

上記の課題を解決するために、本発明の表示装置は、画素がマトリクス状に配置された表示部の画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置において、上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、上記表示部を駆動するための駆動回路の駆動を停止させる駆動制御回路と、データ信号を上記データ信号線に取り込むために使用されるクロック信号を生成するクロック信号生成回路とを備え、上記駆動制御回路は、上記休止期間に、上記駆動回路の他に、上記クロック信号生成回路の駆動を停止させることを特徴としている。

【 0 0 2 7 】

一般に、データ信号をデータ信号線に取り込むために使用されるクロック信号は、書き込みタイミング等の決めるタイミングクロック等の高速なクロックであり、走査フレームと非走査フレームを決めるための信号（水平同期信号や垂直同期信号）よりも、高速であるので、このクロック信号を生成するためのクロック信号生成回路の消費電力は、走査フレームと非走査フレームを決めるの信号を生成する信号生成回路の消費電力に比べて大きくなる。

【 0 0 2 8 】

したがって、上記構成のように、駆動制御回路によって、画面を走査する走査期間（リフレッシュ期間）と走査期間（リフレッシュ期間）との間に設けられた

休止期間（非リフレッシュ期間）に、データ信号をデータ信号線に取り込むために使用されるクロック信号を生成する消費電力の大きいクロック信号生成回路の駆動を停止させることで、休止期間での消費電力を大幅に低減させることが可能となる。

【 0 0 2 9 】

これにより、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を大幅に低減させることができるので、表示装置の消費電力の低減を図ることができる。

【 0 0 3 0 】

上記駆動回路の上記表示部への駆動信号の出力タイミングに使用される出力タイミングクロックを生成する出力タイミングクロック生成回路が設けられ、上記クロック信号生成回路は、上記出力タイミングクロック生成回路にて生成された出力タイミングクロックに基づいて、上記クロック信号を生成すると共に、上記駆動制御回路は、上記休止期間に、上記出力タイミングクロック生成回路の駆動を停止させるようにしてもよい。

【 0 0 3 1 】

上記出力タイミングクロック生成回路にて生成される出力タイミングクロックは、駆動信号の出力タイミングに使用される他、クロック信号生成回路にてクロック信号を生成するのに使用される。つまり、上記出力タイミングクロックは、走査期間に生成する必要があるが、休止期間に生成する必要がある。

【 0 0 3 2 】

したがって、上記構成のように、休止期間に、出力タイミングクロック生成回路の駆動を停止させることで、消費電力を低減させることができる。

【 0 0 3 3 】

また、上記駆動回路の走査スタートタイミングに使用されるスタートタイミングクロックを生成するスタートタイミングクロック生成回路が設けられ、上記出力タイミングクロック生成回路は、上記スタートタイミングクロック生成回路にて生成されたスタートタイミングクロックに基づいて、出力タイミングクロックを生成すると共に、上記駆動制御回路は、上記休止期間に、上記スタートタイミ

ングクロック生成回路の駆動を停止させるようにしてもよい。

【 0 0 3 4 】

上記スタートタイミングクロック生成回路にて生成されるスタートタイミングクロックは、駆動回路の走査スタートタイミングに使用される他、出力タイミングクロック生成回路にて出力タイミングクロックを生成するのに使用される。つまり、上記スタートタイミングクロックは、走査期間に生成する必要があるが、休止期間に生成する必要がない。

【 0 0 3 5 】

したがって、上記構成のように、休止期間に、スタートタイミングクロック生成回路の駆動を停止させることで、消費電力を低減させることができる。

【 0 0 3 6 】

上記クロック信号生成回路は、自身がクロック信号を発振するクロック信号発振回路であってもよい。

【 0 0 3 7 】

通常、上記のクロック信号生成回路は、走査期間に駆動し、休止期間に休止するように制御されているので、駆動・停止が頻繁に行なわれることになる。このような場合に、データ信号をデータ信号線に取り込むために使用されるクロック信号に比べて低速のクロック（駆動回路の表示部への駆動信号の出力タイミングに使用される出力タイミングク等）に基づいて、上記クロック信号を生成するようにするには、クロック信号生成回路の設計が難しく、また、設計できたとしてもクロック信号生成回路の動作が不安定になる虞がある。

【 0 0 3 8 】

しかしながら、上述のように、クロック信号生成回路にて生成されるクロック信号を、外部からのクロックに基づいて生成しないようにすれば、他のクロック信号生成回路とは独立して設けることができるので、クロック信号生成回路は、クロック信号の周波数を上げるだけの設計でよくなり、設計を簡単にし、しかも、動作を不安定にさせることもない。

【 0 0 3 9 】

したがって、表示装置を安定して動作させることが可能となる。

【 0 0 4 0 】

また、走査期間と休止期間とにおける平均消費電力を低減させるには、休止期間をできるだけ長くすればよい。これを実現する一例として、画素に、液晶表示素子を使用することが考えられる。

【 0 0 4 1 】

この場合、画素に液晶表示素子を使用することで、休止期間を長くすることが可能となるので、走査期間と休止期間とにおける平均消費電力を低減することが可能となる。

【 0 0 4 2 】

このように、画素を液晶表示素子とした場合、携帯電話等の携帯端末に用いられる液晶表示装置に上述した表示装置を用いれば、該表示装置の消費電力を大幅に低減することができるので、例えば、休止期間を携帯電話の待機時とすれば、待機時の消費電力を大幅に低減させることができる。これにより、携帯電話等の携帯端末における待機時間を長くすることが可能となる。

【 0 0 4 3 】

本発明の表示装置の駆動方法は、上記の課題を解決するために、画素がマトリクス状に配置された画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置の駆動方法において、上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、データ信号を上記データ信号線に取り込むためのクロック信号を生成するクロック信号生成回路の駆動を停止させることを特徴としている。

【 0 0 4 4 】

上記の構成によれば、消費電力の大きいクロック信号生成回路を休止期間に停止させることで、走査期間（リフレッシュ期間）と休止期間（非リフレッシュ期間）とにおける平均消費電力を大幅に低減することができる。

【 0 0 4 5 】

【発明の実施の形態】

〔実施の形態 1〕

本発明の一実施の形態について説明すれば、以下の通りである。ここでは、表示装置として、画素がマトリクス状に配置されてなる画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行うアクティブマトリクス型の表示装置を使用し、駆動方法としては、上記画面を走査する走査期間の間に、全走査信号線を非走査状態とする休止期間を設けた休止駆動方法を適用した例について説明する。

【0046】

本実施の形態にかかる表示装置は、図 1 に示すように、マトリクス状に配された液晶表示素子からなる画素を有するアクティブマトリクスパネル 1 と、該アクティブマトリクスパネル 1 内のデータ信号線（図示せず）を駆動する信号線駆動回路 2 と、該アクティブマトリクスパネル 1 内の走査線（図示せず）を駆動する走査線駆動回路 3 と、上記信号線駆動回路 2 に転送するデジタル映像信号を格納するフレームメモリ 4 と、上記信号線駆動回路 2 にてデジタル映像信号をアナログ信号に変換するための信号（レベル電圧）を生成するアナログ回路 5 とを備えている。

【0047】

上記信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 は、表示部であるアクティブマトリクスパネル 1 を駆動するための駆動回路である。

【0048】

上記表示装置は、さらに、ドットクロック発振回路としての DCK-PLL 回路（クロック信号生成回路）6、水平同期発振回路（出力タイミングクロック生成回路）7、V カウンタ（スタートタイミングクロック生成回路）8、休止制御回路（駆動制御回路）9 を備えている。

【0049】

上記 DCK-PLL 回路 6 は、上記水平同期発振回路 7 から供給される水平同期系信号により内部の PLL 回路にて高速化されたドットクロック（クロック信号）を上記信号線駆動回路 2 およびフレームメモリ 4 に転送するようになってい

る。

【 0 0 5 0 】

フレームメモリ 4 に転送されたドットクロックは、該フレームメモリ 4 に格納されたデジタル映像信号を信号線駆動回路 2 にフレーム単位で転送させるためのタイミングクロックとして使用され、信号線駆動回路 2 に転送されたドットクロックは、フレームメモリ 4 から転送された映像信号をデータ信号線に取り込むためのサンプリングクロックとして使用される。

【 0 0 5 1 】

上記水平同期発振回路 7 は、自ら発振し水平同期系信号を生成するようになっており、生成した水平同期系信号（出力タイミングクロック）を、上述のように、DCK-PLL 回路 6 に供給する他、信号線駆動回路 2 と走査線駆動回路 3 とに供給するようになっている。

【 0 0 5 2 】

上記水平同期発振回路 7 からの水平同期系信号は、上記信号線駆動回路 2 において、映像信号のアクティブマトリクスパネル 1 への出力タイミング信号として使用され、上記走査線駆動回路 3 において、走査信号のアクティブマトリクスパネル 1 への出力タイミング信号として使用される。

【 0 0 5 3 】

また、上記水平同期発振回路 7 からの水平同期系信号は、V カウンタ 8 に供給される。この V カウンタ 8 では、上記水平同期系信号から垂直同期系信号（スタートタイミングクロック）を生成し、走査線駆動回路 3 に供給し、走査線の走査スタートのタイミングを制御するタイミング信号として使用される。なお、上記 V カウンタ 8 にて生成された垂直同期系信号は、休止制御回路 9 にも供給される。

【 0 0 5 4 】

上記休止制御回路 9 は、信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 からなる駆動回路と、これら駆動回路の駆動タイミングのためのドットクロックを生成する DCK-PLL 回路 6 との駆動停止を制御する駆動制御回路である。

【 0 0 5 5 】

ここで、休止制御回路 9 は、垂直同期系信号から、走査期間（リフレッシュ期間）がハイレベルとなり、非走査期間（非リフレッシュ期間）がローレベルとなる駆動制御信号を生成し、信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 の駆動回路と、上記 D C K - P L L 回路 6 との駆動停止の制御を行うようになっている。

【 0 0 5 6 】

つまり、信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 の駆動回路と、D C K - P L L 回路 6 とは、駆動制御信号がハイレベルのとき駆動し、駆動制御信号がローレベルのとき停止するように制御されることになる。

【 0 0 5 7 】

したがって、上記構成の表示装置によれば、図 2 に示すように、D C K - P L L 回路 6 で生成されるドットクロック D C K は、休止制御回路 9 で生成される駆動制御信号 S c a n がハイレベルのときのみ生成される。図 2 は、D C K - P L L 回路 6 にて生成されるドットクロック D C K の波形（図では高速なので各波が繋がっているように記載している）と、信号線駆動回路 2 に供給される水平同期系信号から得られる水平同期信号 H s y n c の波形と、走査線駆動回路 3 に供給される垂直同期系信号から得られる垂直同期信号 V s y n c の波形と、休止制御回路 9 で生成される駆動制御信号の波形とを示している。

【 0 0 5 8 】

図 2 に示すように、非走査期間である非リフレッシュ期間では、消費電力の高い高速駆動の D C K - P L L 回路 6 を停止させることができるので、走査期間と非走査期間とにおける平均消費電力を大幅に低減できる。

【 0 0 5 9 】

続いて、上記構成の表示装置の消費電力と従来の休止駆動方法にて駆動される表示装置（図 1 2 に示す表示装置）の消費電力との比較について、図 3 （ a ）（ b ）を参照しながら以下に説明する。図 3 （ a ）は、従来の表示装置の消費電力を示す図であり、図 3 （ b ）は、上記構成の表示装置の消費電力を示す図である。

【0060】

ここで、走査期間と走査期間との間には、走査期間の9倍の期間の非走査期間が設けられ、走査期間（リフレッシュ期間）では、10 mWの電力が消費されるものとする。また、DCK-PLL回路6とDCK発振回路106とは、共に発振周波数を500 Hzとし、その消費電力を図16から約2 mWとする。

【0061】

従来の休止駆動方法にて駆動される表示装置では、図12に示すように、DCK発振回路106は、Hカウンタ107、Vカウンタ108にドットクロックを供給しているので、非走査期間（非リフレッシュ期間）であっても駆動し続ける必要がある。それゆえ、図3（a）に示すように、非リフレッシュ期間の平均消費電力が2 mWに近似され、リフレッシュ期間と非リフレッシュ期間の平均消費電力は、 $(10 \text{ mW} \times 1 + 2 \text{ mW} \times 9) / (1 + 9) = 2.8 \text{ mW}$ となる。

【0062】

この場合、非リフレッシュ期間を長くしても、DCK発振回路106の消費電力である2 mWに限りなく近づくだけであり、平均消費電力は2 mWよりも小さくすることはできない。

【0063】

これに対して、本実施の形態にかかる表示装置では、図1に示すように、DCK-PLL回路6は、フレームメモリ4、信号線駆動回路2にのみドットクロックを供給するようになっており、水平同期系信号と垂直同期系信号とを生成する回路（水平同期発振回路7、Vカウンタ8）に対してドットクロックを供給していない。

【0064】

従って、図1に示す表示装置では、非リフレッシュ期間において消費電力の大きなDCK-PLL回路6によるドットクロックの発振を停止させるようになっているので、従来の表示装置に比べて、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を大幅に低減できる。

【0065】

非リフレッシュ期間において、DCK-PLL回路6が停止した場合、他の回

路等で消費される電力が約 0.5 mW となる。この場合、リフレッシュ期間と非リフレッシュ期間の平均消費電力は、 $(10 \text{ mW} \times 1 + 0.5 \text{ mW} \times 9) / (1 + 9) \approx 1.5 \text{ mW}$ となる。この場合には、非リフレッシュ期間の割合を多くすれば、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を 0.5 mW に限りなく近づけることができる。

【 0 0 6 6 】

このように、非リフレッシュ期間における消費電力を抑えることにより、例えば、図 1 に示す表示装置を携帯電話に適用した場合に、待機時間を長くすることができる。つまり、非リフレッシュ期間を携帯電話における待機時とすれば、待機時の電力を低減できるので、待機時間を長くすることができる。例えば、携帯電話においては、待機時の電力として、0.5 mW 以下にすることが望まれているが、本願では、0.5 mW 以下にすることが可能となる。しかも、上述のように、非リフレッシュ期間の割合を多くすれば、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を 0.5 mW 以下に近づけることが可能となるので、携帯電話の待機時の消費電力と通話時の消費電力とを合わせて平均化した消費電力を大幅に低減でき、この結果、携帯電話のバッテリーの充電回数を減らすことができる。

【 0 0 6 7 】

本実施の形態のように、ドットクロックを発振する高速の回路（消費電力大の回路）と、水平同期系信号および垂直同期系信号を発振する低速の回路（消費電力小の回路）とを考えた場合、ドットクロックの必要のない非走査期間（非リフレッシュ期間）では消費電力の大きい高速の回路を停止させるようにすれば、リフレッシュ期間と非リフレッシュ期間の平均消費電力を低減させることができるので、図 1 に示す構成の表示装置に限定されず、以下の各実施の形態に示す構成の表示装置であってもよい。

【 0 0 6 8 】

〔実施の形態 2〕

本発明の他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態においても、前記実施の形態 1 と同様に、休止駆動法を適用したアクテ

イブマトリクス型の表示装置について説明する。従って、前記実施の形態 1 の表示装置と同じ機能を有する部材には、同一符号を付記し、その説明は省略する。

【 0 0 6 9 】

本実施の形態にかかる表示装置は、前記実施の形態 1 の図 1 に示す表示装置の水平同期発振回路 7 と V カウンタ 8 の代わりにそれぞれ、図 4 に示すように、中速 P L L 回路（出力タイミングクロック生成回路） 1 0 と垂直同期発振回路（スタートタイミングクロック生成回路） 1 1 を有した構成となっている。

【 0 0 7 0 】

上記垂直同期発振回路 1 1 は、自ら発振し、垂直同期系信号（スタートタイミングクロック）を生成する回路であり、生成した垂直同期系信号を、走査線駆動回路 3、休止制御回路 9、中速 P L L 回路 1 0 に供給するようになっている。上記走査線駆動回路 3、休止制御回路 9 は、前記実施の形態 1 と同じであるので詳細な説明は省略する。

【 0 0 7 1 】

上記中速 P L L 回路 1 0 は、D C K - P L L 回路 6 内の P L L 回路よりも低速の P L L 回路であり、垂直同期発振回路 1 1 からの垂直同期系信号から水平同期系信号（出力タイミングクロック）を生成するようになっている。この水平同期系信号は、信号線駆動回路 2 および D C K - P L L 回路 6 に転送される。

【 0 0 7 2 】

上記水平同期系信号は、上記信号線駆動回路 2 においては、水平同期信号 H s y n c として使用され、上記 D C K - P L L 回路 6 においては、内部の P L L 回路にて高速化されてドットクロックとなる。

【 0 0 7 3 】

ここで、図 4 に示す表示装置において、休止制御回路 9 は、信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 の駆動系回路と D C K - P L L 回路 6 の他に、中速 P L L 回路 1 0 の駆動停止も制御するようになっている。

【 0 0 7 4 】

上記休止制御回路 9 は、垂直同期発振回路 1 1 からの垂直同期系信号に基づいて、駆動制御信号 S c a n を生成するようになっている。上記の駆動系回路と D C

K-P L L回路6と中速P L L回路10とは、駆動制御信号S canがハイレベルのとき駆動状態となり、ローレベルのとき停止状態となるように制御される。

【0075】

従って、上記構成の表示装置では、図5に示すように、駆動制御信号S canがハイレベルのときには、ドットクロックD C Kと水平同期信号H syncとが発振され、駆動制御信号S canがローレベルのときには、ドットクロックD C Kと水平同期信号H syncとが発振されない、つまりD C K-P L L回路6と中速P L L回路10が駆動停止状態となる。

【0076】

これにより、駆動制御信号S canがローレベルのとき、すなわち非リフレッシュ期間には、駆動系回路、D C K-P L L回路6の他に、水平同期系信号を発振する中速P L L回路10を駆動停止状態とさせることができるので、前記実施の形態1に比べて、非リフレッシュ期間における消費電力をさらに低減させることが可能となる。

【0077】

〔実施の形態3〕

本発明のさらに他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態においても、前記実施の形態2と同様に、休止駆動法を適用したアクティブマトリクス型の表示装置について説明する。従って、前記実施の形態2の表示装置と同じ機能を有する部材には、同一符号を付記し、その説明は省略する。

【0078】

本実施の形態にかかる表示装置は、前記実施の形態2の図4に示す表示装置の休止制御回路9と垂直同期発振回路11の代わりにそれぞれ、図6に示すように、休止周期発振回路（駆動制御回路）12と低速P L L回路（スタートタイミングクロック生成回路）13を有した構成となっている。

【0079】

上記休止周期発振回路12は、自ら発振し、駆動制御信号S canを生成し、生成した駆動制御信号S canを駆動系回路である信号線駆動回路2、走査線駆動回

路 3、アナログ回路 5 に供給すると共に、DCK-PLL 回路 6、中速 PLL 回路 10、低速 PLL 回路 13 に供給する。ここで、駆動系回路、DCK-PLL 回路 6、中速 PLL 回路 10 は、前記実施の形態 2 と同様に、駆動制御信号 Scan が供給されることで、駆動停止が制御される。

【0080】

上記低速 PLL 回路 13 は、上記中速 PLL 回路 10 よりも低速な PLL 回路であり、供給される駆動制御信号 Scan から垂直同期系信号（スタートタイミングクロック）を生成するようになっている。

【0081】

上記低速 PLL 回路 13 にて生成された垂直同期系信号は、走査線駆動回路 3 と中速 PLL 回路 10 に供給される。上記垂直同期系信号は、走査線駆動回路 3 において、垂直同期信号 Vsync として使用され、中速 PLL 回路 10 において、水平同期系信号を生成するために使用される。

【0082】

ここで、図 6 に示す表示装置において、休止周期発振回路 12 は、信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 の駆動系回路と DCK-PLL 回路 6、中速 PLL 回路 10 の他に、低速 PLL 回路 13 の駆動停止も制御するようになっている。

【0083】

上記駆動系回路、DCK-PLL 回路 6、中速 PLL 回路 10、低速 PLL 回路 13 は、休止周期発振回路 12 から発振される駆動制御信号 Scan が、ハイレベルのとき駆動状態となり、ローレベルのとき停止状態となるように制御される。

【0084】

従って、上記構成の表示装置では、図 7 に示すように、駆動制御信号 Scan がハイレベルのときには、ドットクロック DCK、水平同期信号 Hsync、垂直同期信号 Vsync が発振され、駆動制御信号 Scan がローレベルのときには、ドットクロック DCK、水平同期信号 Hsync、垂直同期信号 Vsync が発振されない、つまり DCK-PLL 回路 6、中速 PLL 回路 10、休止周期発振回路 12 が駆動停

止状態となる。

【 0 0 8 5 】

これにより、駆動制御信号 Scan がローレベルのとき、すなわち非リフレッシュ期間には、駆動系回路、DCK-PLL 回路 6、中速 PLL 回路 10 の他に、垂直同期系信号を発振する低速 PLL 回路 13 を駆動停止状態とさせることができるので、前記実施の形態 2 に比べて、非リフレッシュ期間における消費電力をさらに低減させることが可能となる。

【 0 0 8 6 】

前記の各実施の形態では、何れも DCK-PLL 回路 6 において、PLL 回路にて低速のクロックを高速のドットクロックに変換するようになっている。このような場合、機器によっては、高頻度に動作、停止を繰り返すため、PLL 回路の設計が難しくなったり、あるいは設計できたとしても動作が不安定になったりといった問題が生じる虞がある。そこで、これら不具合を解消する表示装置について、以下の実施の形態 4 において説明する。

【 0 0 8 7 】

〔実施の形態 4〕

本発明のさらに他の実施の形態について説明すれば、以下の通りである。なお、本実施の形態においても、前記実施の形態 1 と同様に、休止駆動法を適用したアクティブマトリクス型の表示装置について説明する。従って、前記実施の形態 1 の表示装置と同じ機能を有する部材には、同一符号を付記し、その説明は省略する。

【 0 0 8 8 】

本実施の形態にかかる表示装置は、前記実施の形態 1 の図 1 に示す表示装置の DCK-PLL 回路 6 と水平同期発振回路 7 の代わりにそれぞれ、図 8 に示すように、DCK 発振回路（クロック信号生成回路）14 と水平周期発振回路（出力タイミングクロック生成回路）15 を有した構成となっている。

【 0 0 8 9 】

上記 DCK 発振回路 14 は、図 1 に示す DCK-PLL 回路 6 から PLL 回路を除いた回路であり、自ら発振して、ドットクロックを生成するようになっている。

る。従って、高速駆動系のDCK発振回路14は、外部からの信号を供給するようになっておらず、独立した回路となっている。

【0090】

また、上記水平周期発振回路15は、図1に示す水平同期発振回路7とは異なり、自ら発振して、水平同期系信号（出力タイミングクロック）を生成するようになっている。この水平同期系信号は、信号線駆動回路2、走査線駆動回路3の他に、Vカウンタ8にも供給されるようになっている。

【0091】

上記Vカウンタ8では、供給された水平同期系信号から垂直同期系信号を生成し、走査線駆動回路3および休止制御回路9に供給するようになっている。

【0092】

上記垂直同期系信号は、上記走査線駆動回路3において、走査スタートのタイミングを制御するのに使用され、休止制御回路9において、駆動制御信号Scanを生成するのに使用される。

【0093】

ここで、図8に示す表示装置において、休止制御回路9は、垂直同期系信号から、走査期間（リフレッシュ期間）がハイレベルとなり、非走査期間（非リフレッシュ期間）がローレベルとなる駆動制御信号を生成し、信号線駆動回路2、走査線駆動回路3、アナログ回路5の駆動系回路と、上記DCK発振回路14との駆動停止の制御を行うようになっている。

【0094】

つまり、信号線駆動回路2、走査線駆動回路3、アナログ回路5の駆動系回路と、DCK発振回路14は、駆動制御信号がハイレベルのとき駆動し、駆動制御信号がローレベルのとき停止するように制御されることになる。

【0095】

従って、上記構成の表示装置によれば、図9に示すように、DCK発振回路14で生成されるドットクロックDCKは、休止制御回路9で生成される駆動制御信号Scanがハイレベルのときのみ生成される。

【0096】

図 9 に示すように、非走査期間である非リフレッシュ期間では、消費電力の高い D C K 発振回路 1 4 を停止させることができるので、リフレッシュ期間と非リフレッシュ期間とにおける平均消費電力を大幅に低減できる。

【 0 0 9 7 】

しかも、D C K 発振回路 1 4 は、自ら発振して、ドットクロックを生成するようになっているので、低速なクロックを高速なクロックに変換するための P L L 回路を必要としない。これにより、D C K 発振回路 1 4 の設計を簡単化し、しかも、クロックの速度変換に伴う不安定さを無くすることができるので、簡素な構成で安定化された D C K 発振回路 1 4 を提供することが可能となる。

【 0 0 9 8 】

従って、図 8 に示す表示装置によれば、消費電力の低減化と装置の安定化の両立を図ることができる。

【 0 0 9 9 】

以上の実施の形態 1 ないし 4 においては、アクティブマトリクスパネル 1 について特に限定していないが、本発明は、アモルファスシリコン、ポリシリコン、C G S などのアクティブマトリクスパネルを使用することが可能である。

【 0 1 0 0 】

アモルファスシリコンを用いたアクティブマトリクスパネルでは、は 1 水平ラインごとにパネルに映像信号を書き込む線順次駆動が行なわれるのに対して、ポリシリコンや C G S を用いたアクティブマトリクスパネルでは、ドット毎に映像信号を書き込む点順次駆動が行なわれる場合がある。

【 0 1 0 1 】

この場合、ドットクロック以外にも点順次用のタイミングクロックも高速クロックの部類に入るので、点順次用のタイミングクロックを生成する回路も、D C K - P L L 回路 6 等と同様に高速系回路に属する。このため、休止期間に、この点順次用のタイミングクロックを生成する回路も停止させる必要がある。

【 0 1 0 2 】

また、アクティブマトリクスパネル 1 の画素走査方法についても、特に限定していないが、本発明は、線順次走査駆動、点順次走査駆動等の画素走査方法を使

用することが可能である。

【0103】

さらに、上記の各実施の形態では、アクティブマトリクスパネル1を構成する画素として、液晶表示素子について説明したが、これに限定されるものではなく、例えば、アクティブマトリクスパネル1を構成する画素として、液晶表示素子の他に、印加された電圧を保持するホールド型の表示素子であれば、何れも、本願発明を適用することができる。

【0104】

また、本発明は、アクティブマトリクス型の表示装置全般に有効な技術であるので、本発明の表示装置は、液晶に限らず、例えば、有機ELやその他のアクティブマトリクス型の表示装置であっても適用可能である。

【0105】

【発明の効果】

以上のように、本発明の表示装置は、画素がマトリクス状に配置された表示部の画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置において、上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、上記表示部を駆動するための駆動回路の駆動を停止させる駆動制御回路と、データ信号を上記データ信号線に取り込むために使用されるクロック信号を生成するクロック信号生成回路とを備え、上記駆動制御回路は、上記休止期間に、上記駆動回路の他に、上記クロック信号生成回路の駆動を停止させる構成である。

【0106】

それゆえ、駆動制御回路によって、画面を走査する走査期間（リフレッシュ期間）と走査期間（リフレッシュ期間）との間に設けられた休止期間（非リフレッシュ期間）に、データ信号をデータ信号線に取り込むために使用されるクロック信号を生成するクロック信号生成回路の駆動を停止させることで、休止期間での消費電力を大幅に低減させることが可能となる。

【 0 1 0 7 】

これにより、走査期間と休止期間とにおける平均消費電力を大幅に低減させることができるので、表示装置の消費電力の低減を図ることができるという効果を奏する。

【 0 1 0 8 】

上記駆動回路の上記表示部への駆動信号の出力タイミングに使用される出力タイミングクロックを生成する出力タイミングクロック生成回路が設けられ、上記クロック信号生成回路は、上記出力タイミングクロック生成回路にて生成された出力タイミングクロックに基づいて、上記クロック信号を生成すると共に、上記駆動制御回路は、上記休止期間に、上記出力タイミングクロック生成回路の駆動を停止させるようにしてもよい。

【 0 1 0 9 】

上記出力タイミングクロック生成回路にて生成される出力タイミングクロックは、駆動信号の出力タイミングに使用される他、クロック信号生成回路にてクロック信号を生成するのに使用される。つまり、上記出力タイミングクロックは、走査期間には生成する必要があるが、休止期間には生成する必要がある。

【 0 1 1 0 】

したがって、上記構成のように、休止期間に、出力タイミングクロック生成回路の駆動を停止させることで、消費電力を低減させることができるという効果を奏する。

【 0 1 1 1 】

また、上記駆動回路の走査スタートタイミングに使用されるスタートタイミングクロックを生成するスタートタイミングクロック生成回路が設けられ、上記出力タイミングクロック生成回路は、上記スタートタイミングクロック生成回路にて生成されたスタートタイミングクロックに基づいて、出力タイミングクロックを生成すると共に、上記駆動制御回路は、上記休止期間に、上記スタートタイミングクロック生成回路の駆動を停止させるようにしてもよい。

【 0 1 1 2 】

上記スタートタイミングクロック生成回路にて生成されるスタートタイミング

クロックは、駆動回路の走査スタートタイミングに使用される他、出力タイミングクロック生成回路にて出力タイミングクロックを生成するのに使用される。つまり、上記スタートタイミングクロックは、走査期間には生成する必要があるが、休止期間には生成する必要がない。

【 0 1 1 3 】

したがって、上記構成のように、休止期間に、スタートタイミングクロック生成回路の駆動を停止させることで、消費電力を低減させることができるという効果を奏する。

【 0 1 1 4 】

上記クロック信号生成回路は、自身がクロック信号を発振するクロック信号発振回路であってもよい。

【 0 1 1 5 】

それゆえ、クロック信号生成回路にて生成されるクロック信号は、外部からのクロックに基づいて生成されないので、他のクロック信号生成回路とは独立して設けることができる。このように、クロック信号生成回路を独立して設ければ、該クロック信号生成回路は、クロック信号の周波数を上げるだけの設計でよいので、設計は簡単になり、しかも、動作が不安定になることもない。したがって、表示装置を安定して動作させることが可能となるという効果を奏する。

【 0 1 1 6 】

また、走査期間と休止期間とにおける平均消費電力を低減させるには、休止期間をできるだけ長くすればよい。これを実現する一例として、画素に、液晶表示素子を使用することが考えられる。

【 0 1 1 7 】

この場合、画素に液晶表示素子を使用することで、休止期間を長くすることが可能となるので、走査期間と休止期間とにおける平均消費電力を低減することが可能となる。

【 0 1 1 8 】

このように、画素を液晶表示素子とした場合、携帯電話等の携帯端末に用いられる表示装置に液晶表示装置の消費電力を大幅に低減することができるので、例

えば、休止期間を携帯電話の待機時とすれば、待機時の消費電力を大幅に低減させることができる。これにより、携帯電話等の携帯端末における待機時間を長くすることが可能となるという効果を奏する。

【0119】

本発明の表示装置の駆動方法は、上記の課題を解決するために、画素がマトリクス状に配置された画面の各ラインを、各々のラインにおける画素の走査信号線に走査信号を印加することにより選択して上記画面を走査し、選択されたラインの画素にデータ信号線からデータ信号を供給して表示を行う表示装置の駆動方法において、上記画面を走査する走査期間と走査期間との間に、全走査信号線を非走査状態とする休止期間を設け、この休止期間に、データ信号を上記データ信号線に取り込むためのクロック信号を生成するクロック信号生成回路の駆動を停止させる構成である。

【0120】

それゆえ、消費電力の大きいクロック信号生成回路を休止期間に停止させることで、走査期間と休止期間とにおける平均消費電力を大幅に低減することができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施の形態にかかる表示装置のブロック図である。

【図2】

図1に示す表示装置のドットクロックと水平同期信号、垂直同期信号、駆動制御信号の波形図である。

【図3】

(a) は従来の休止駆動法を適用した表示装置の消費電力を示す図であり、(b) は図1に示す表示装置の消費電力を示す図である。

【図4】

本発明の他の実施の形態にかかる表示装置のブロック図である。

【図5】

図4に示す表示装置のドットクロックと水平同期信号、垂直同期信号、駆動制

御信号の波形図である。

【図 6】

本発明のさらに他の実施の形態にかかる表示装置のブロック図である。

【図 7】

図 6 に示す表示装置のドットクロックと水平同期信号、垂直同期信号、駆動制御信号の波形図である。

【図 8】

本発明のさらに他の実施の形態にかかる表示装置のブロック図である。

【図 9】

図 8 に示す表示装置のドットクロックと水平同期信号、垂直同期信号、駆動制御信号の波形図である。

【図 1 0】

一般的な表示装置のブロック図である。

【図 1 1】

図 1 0 に示す表示装置のドットクロックと水平同期信号、垂直同期信号の波形図である。

【図 1 2】

他の一般的な表示装置のブロック図である。

【図 1 3】

図 1 2 に示す表示装置のドットクロックと水平同期信号、垂直同期信号、駆動制御信号の波形図である。

【図 1 4】

(a) は、図 1 0 に示す表示装置の駆動波形図であり、(b) は、図 1 2 に示す表示装置の駆動波形図である。

【図 1 5】

(a) は、図 1 0 に示す表示装置の消費電力を示す図であり、(b) は、図 1 2 に示す表示装置の消費電力を示す図である。

【図 1 6】

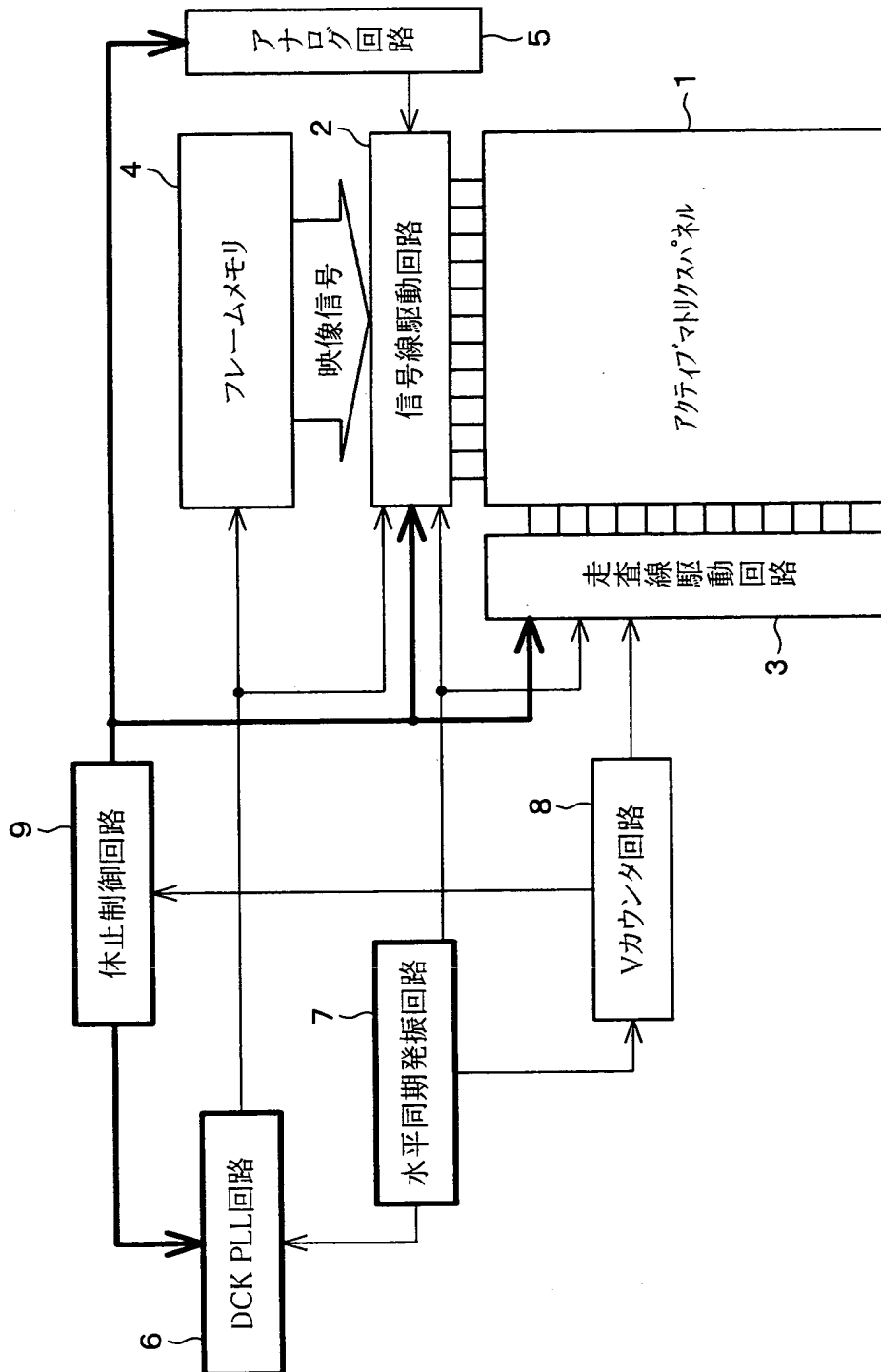
発振周波数と消費電力との関係を示すグラフである。

【符号の説明】

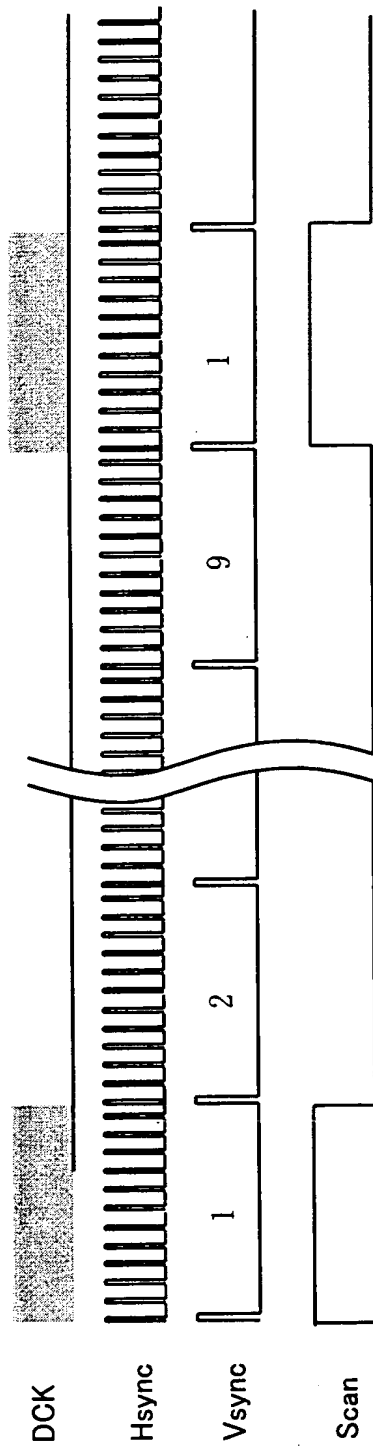
- 1 アクティブマトリクスパネル（表示部）
 - 2 信号線駆動回路（駆動回路）
 - 3 走査線駆動回路（駆動回路）
 - 4 フレームメモリ
 - 5 アナログ回路（駆動回路）
 - 6 DCK-PLL回路（クロック信号生成回路）
 - 7 水平同期発振回路（出力タイミングクロック生成回路）
 - 8 Vカウンタ（スタートタイミングクロック生成回路）
 - 9 休止制御回路（駆動制御回路）
 - 10 中速PLL回路（出力タイミングクロック生成回路）
 - 11 垂直同期発振回路（スタートタイミングクロック生成回路）
 - 12 休止周期発振回路（駆動制御回路）
 - 13 低速PLL回路（スタートタイミングクロック生成回路）
 - 14 DCK発振回路（クロック信号生成回路）
 - 15 水平周期発振回路（出力タイミングクロック生成回路）
- DCK ドットクロック
- Hsync 水平同期信号
- Scan 駆動制御信号
- Vsync 垂直同期信号

【書類名】 図面

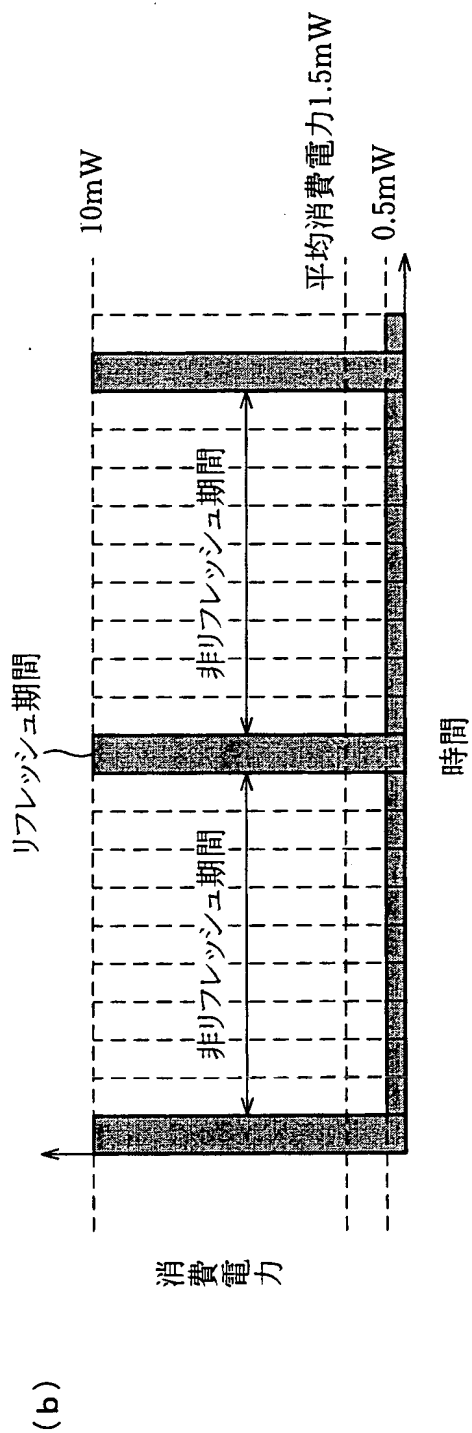
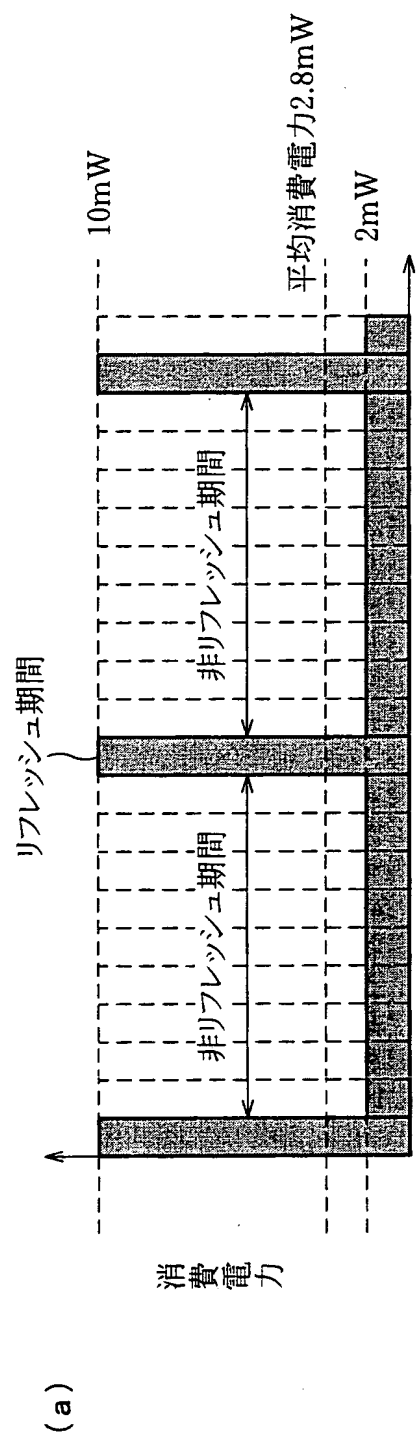
【図 1】



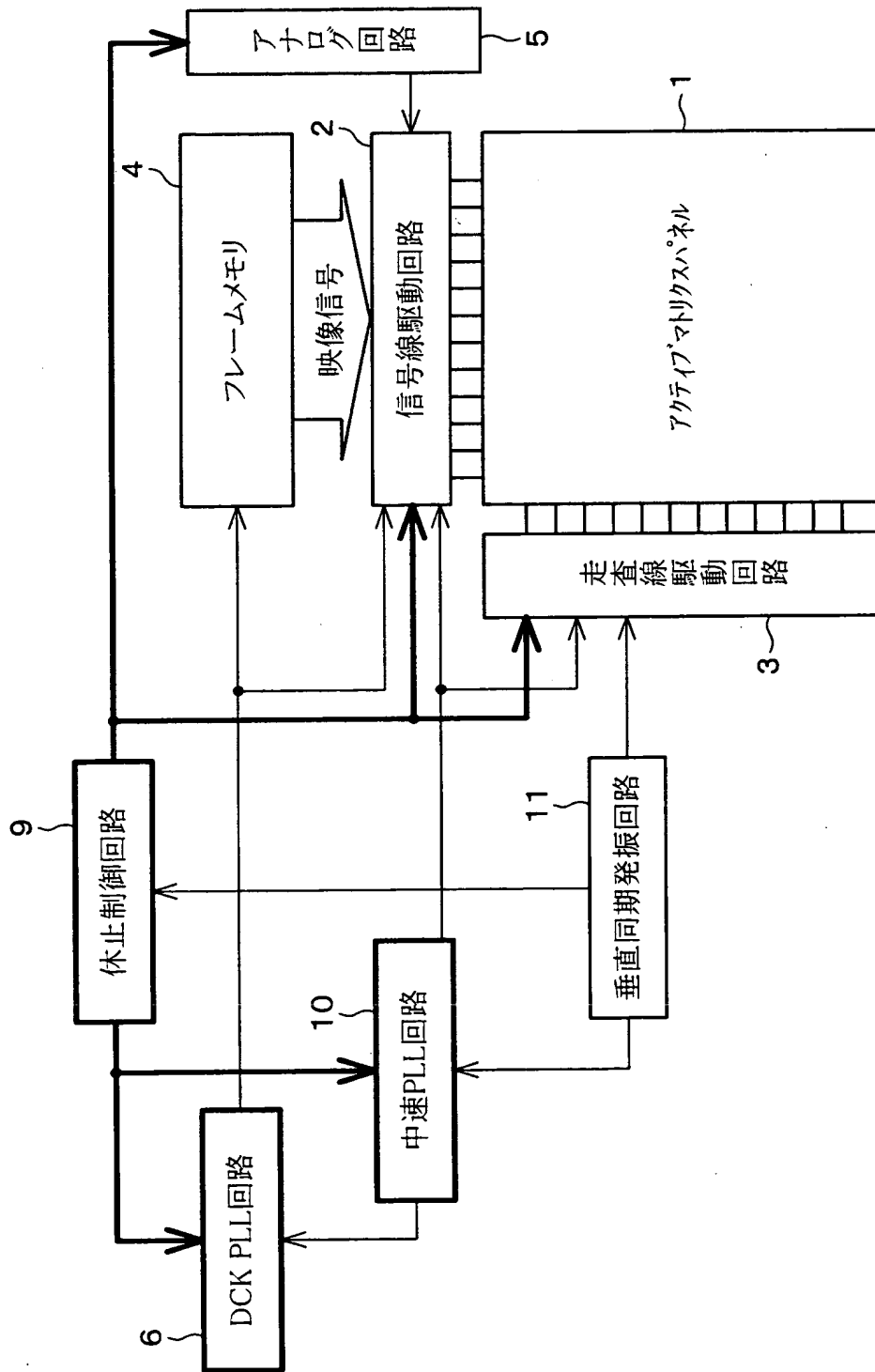
【図 2】



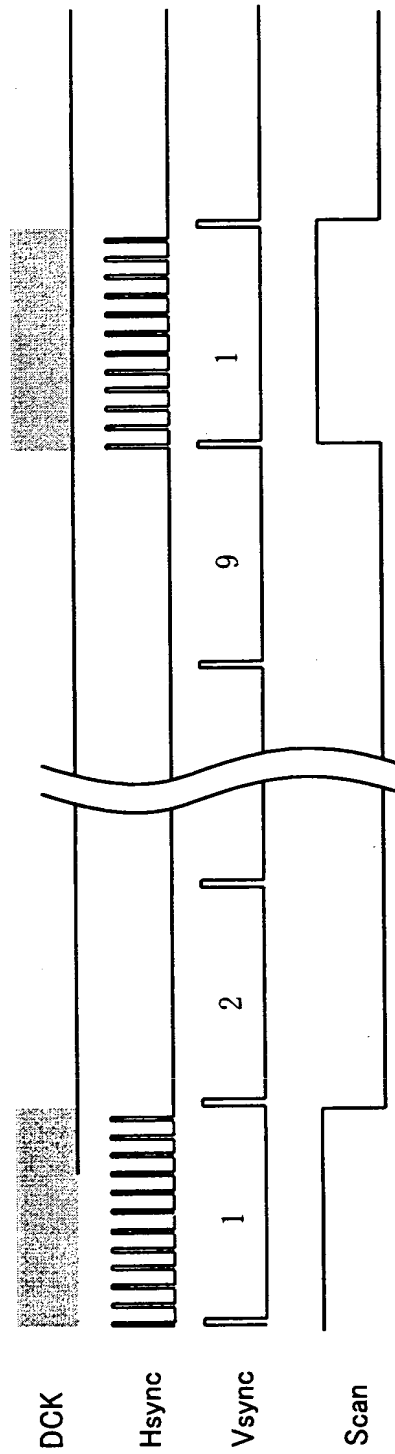
【図 3】



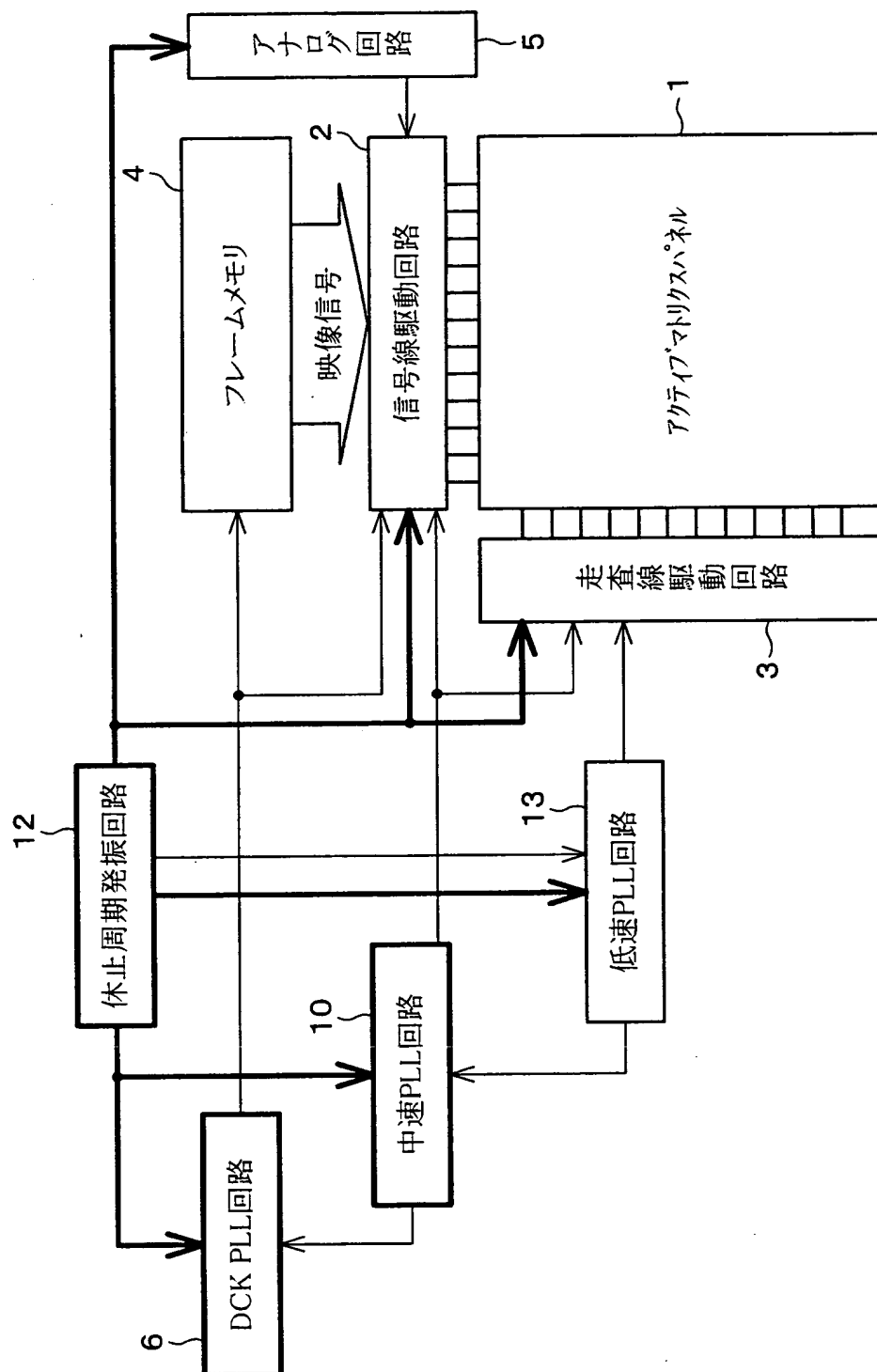
【図4】



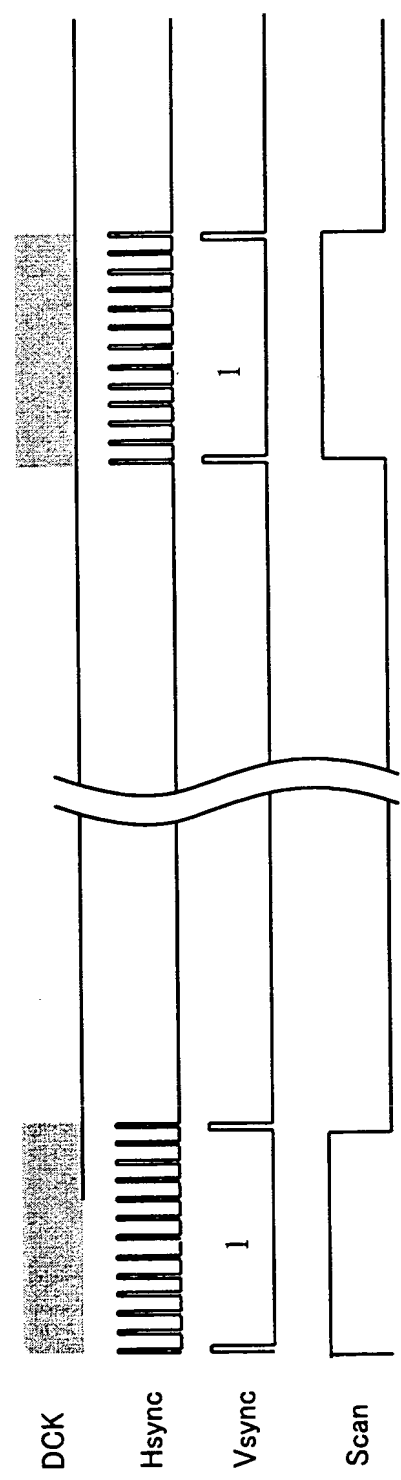
【図 5】



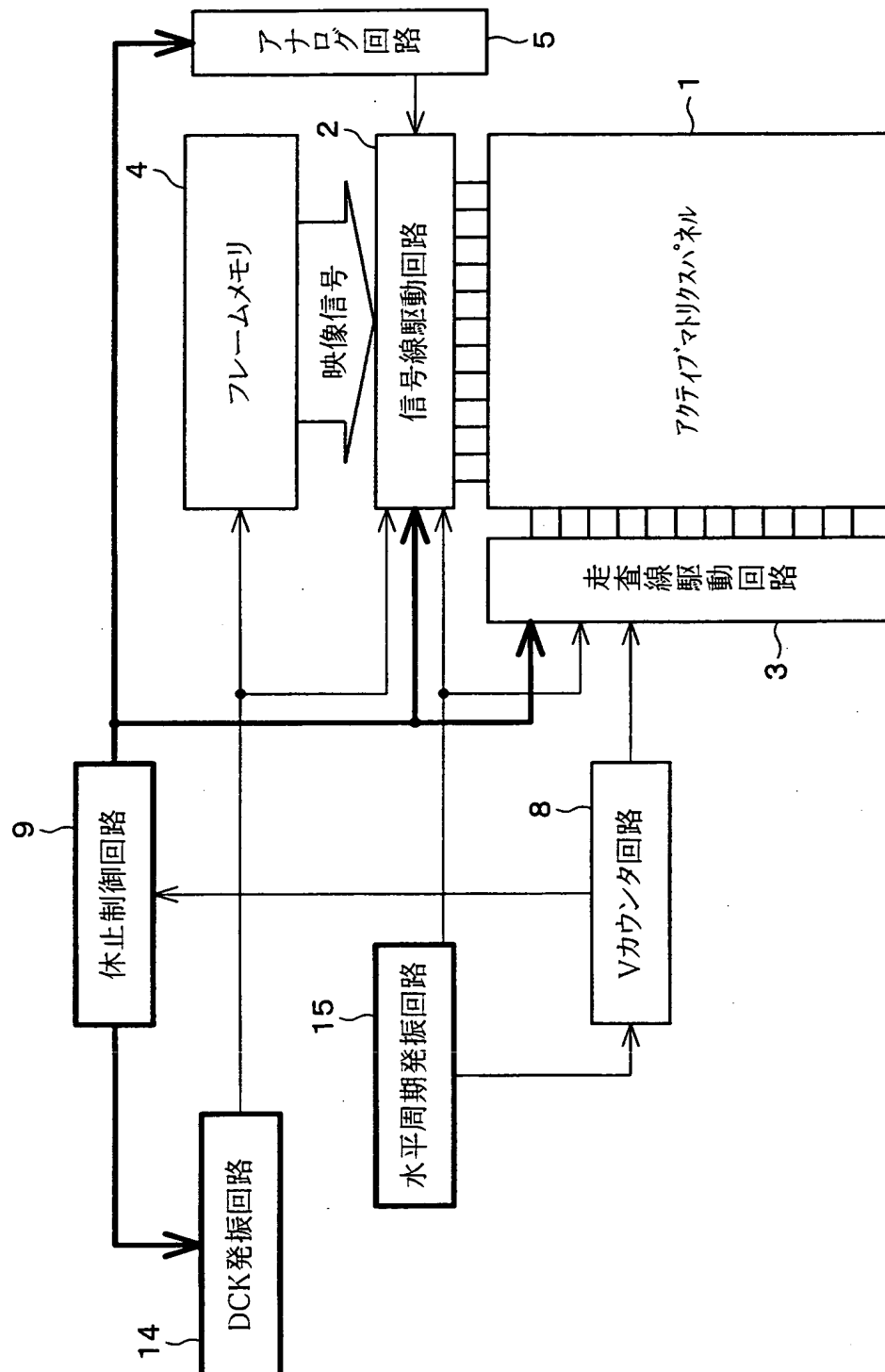
【図 6】



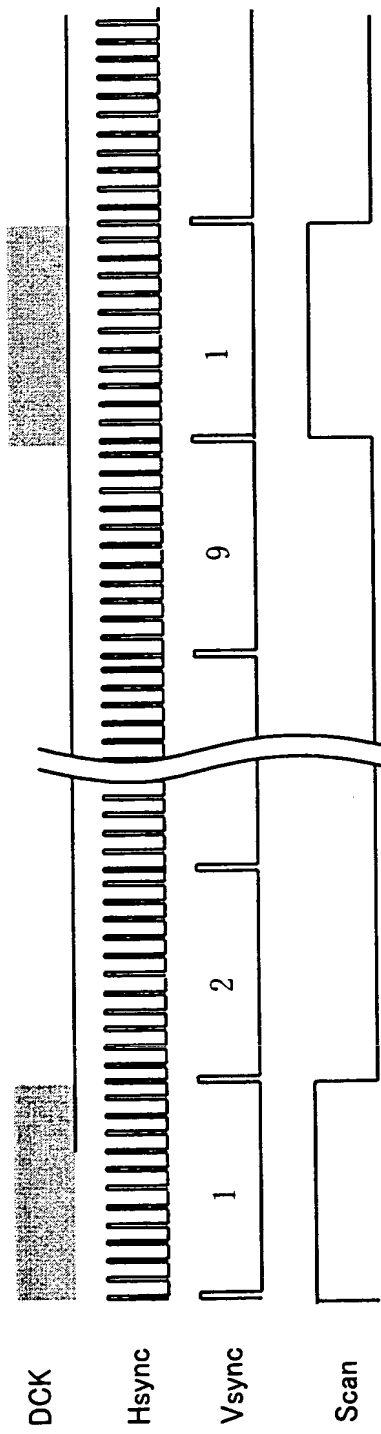
【図 7】



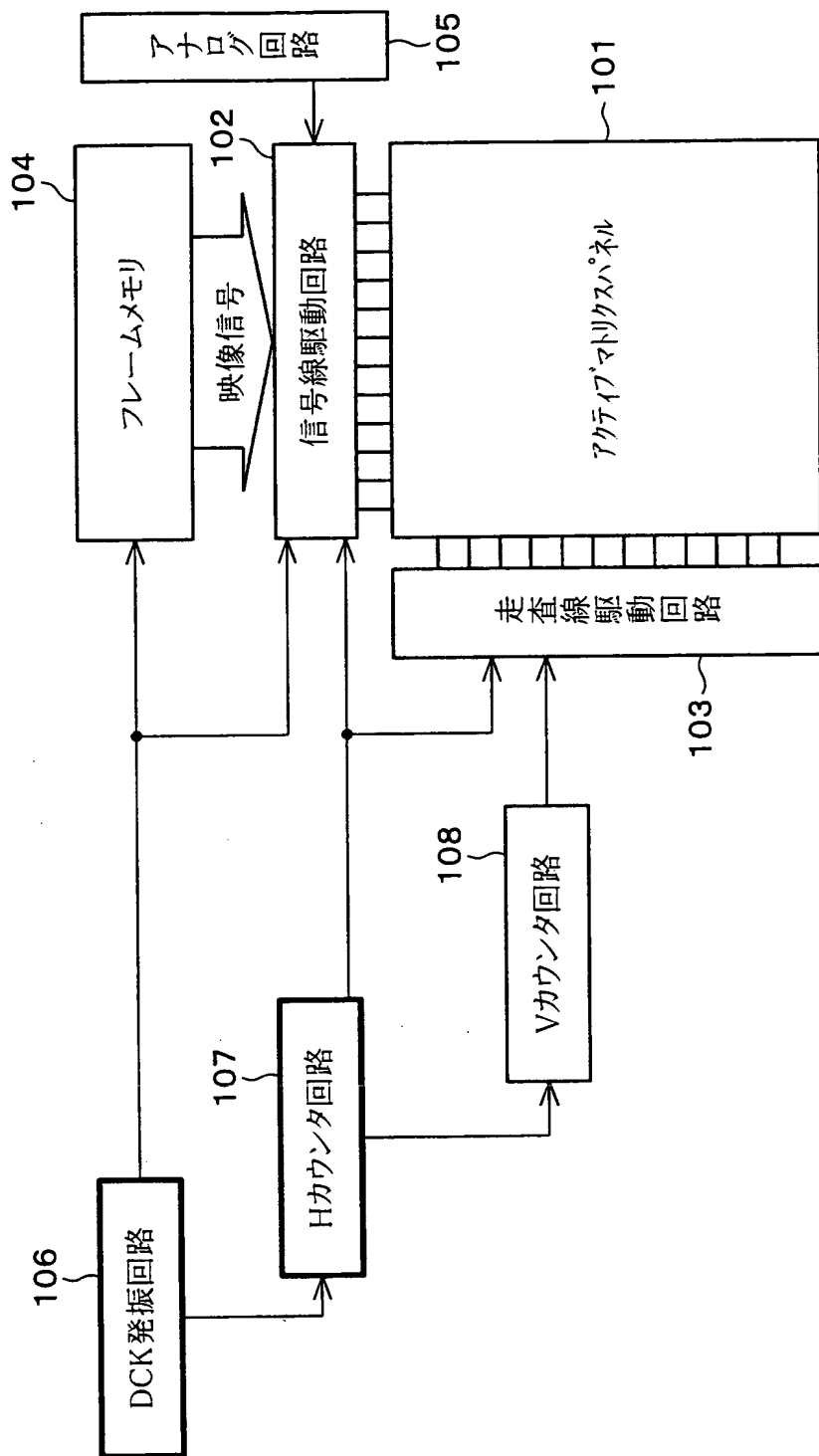
【図 8】



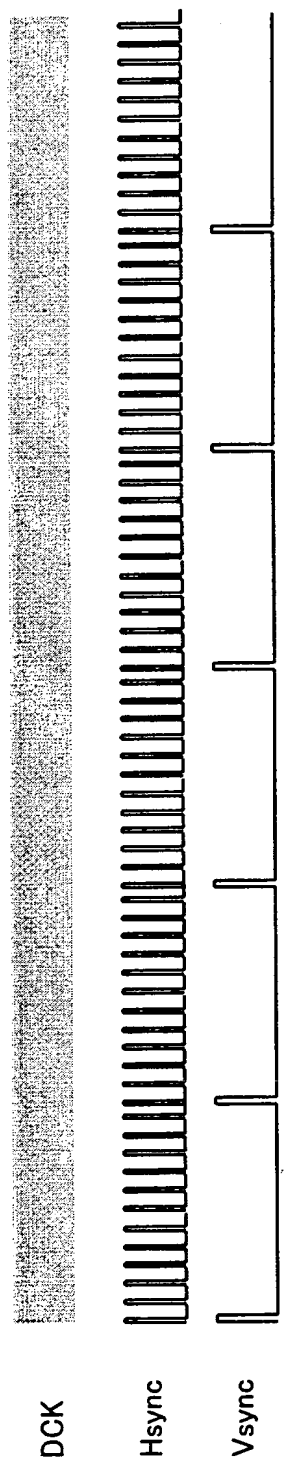
【図 9】



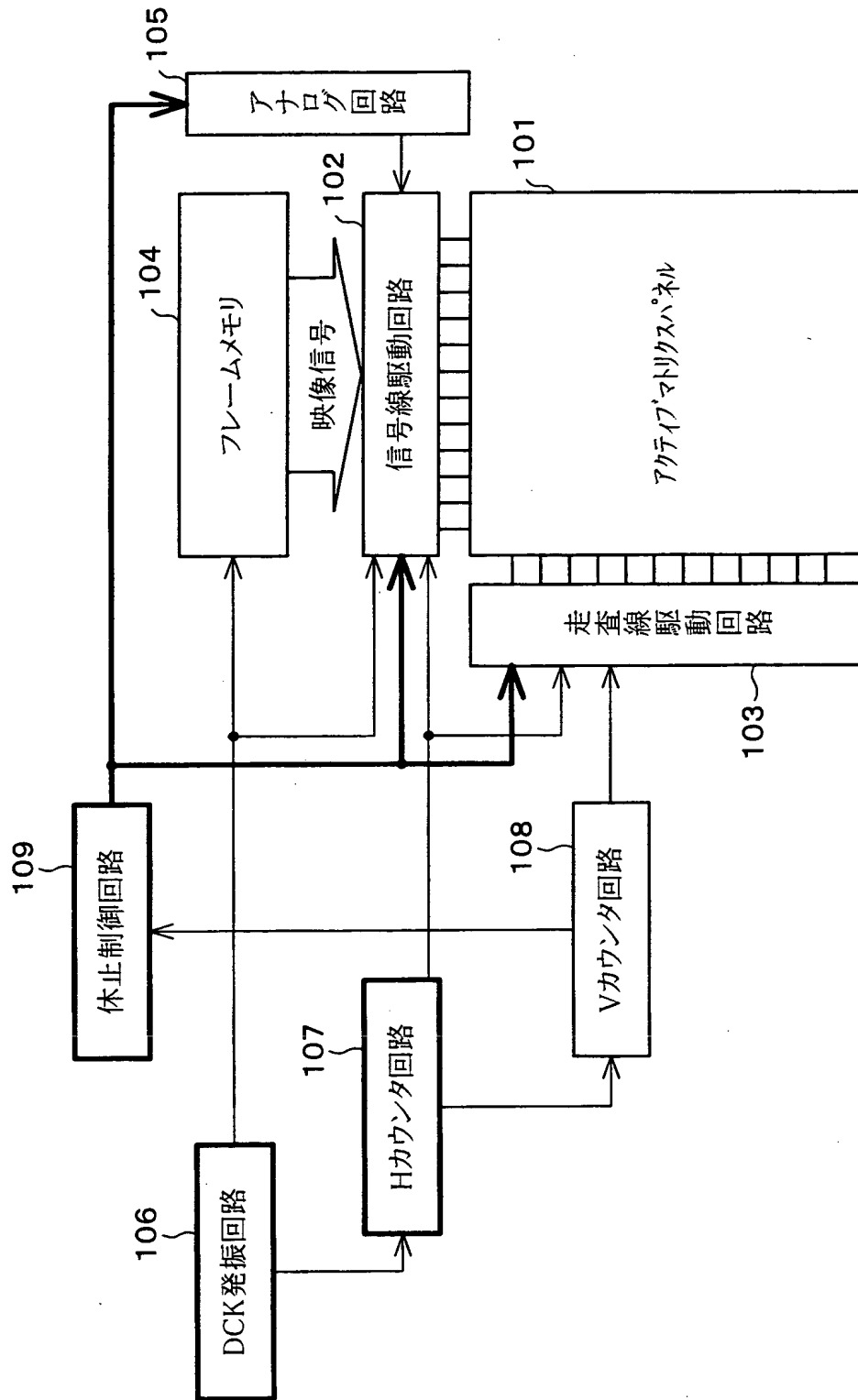
【図10】



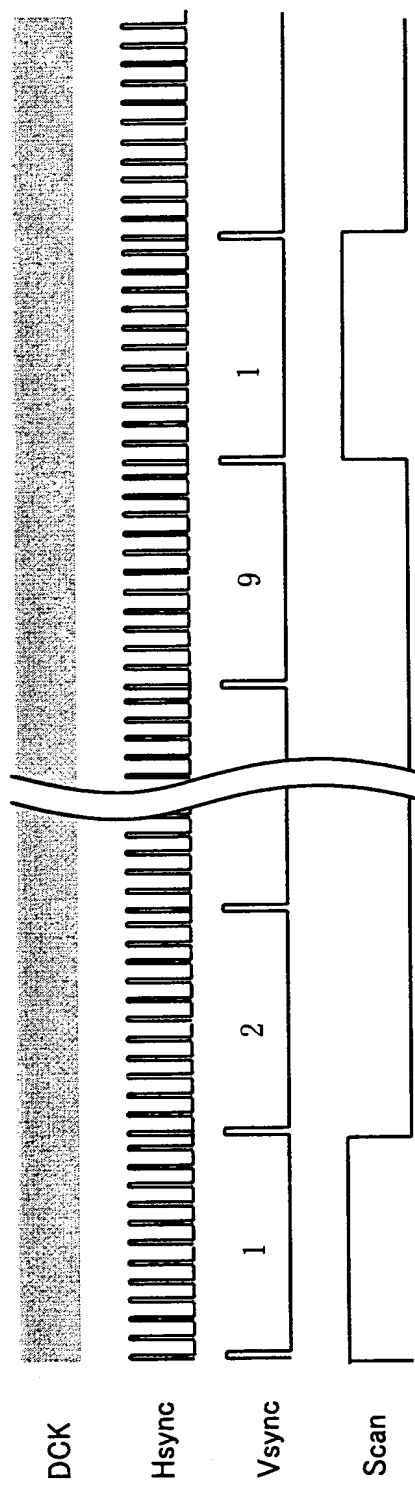
【図 1 1】



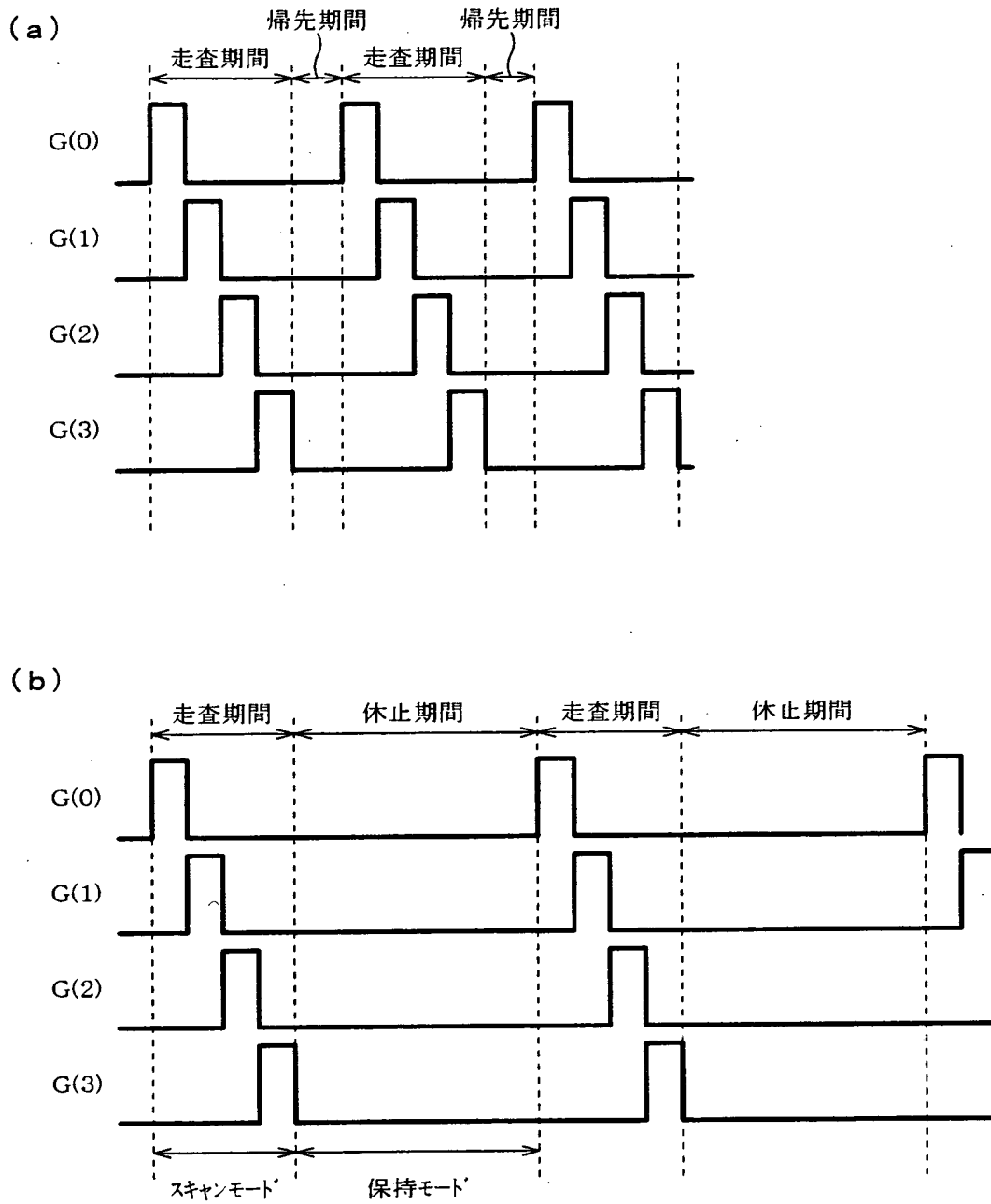
【図12】



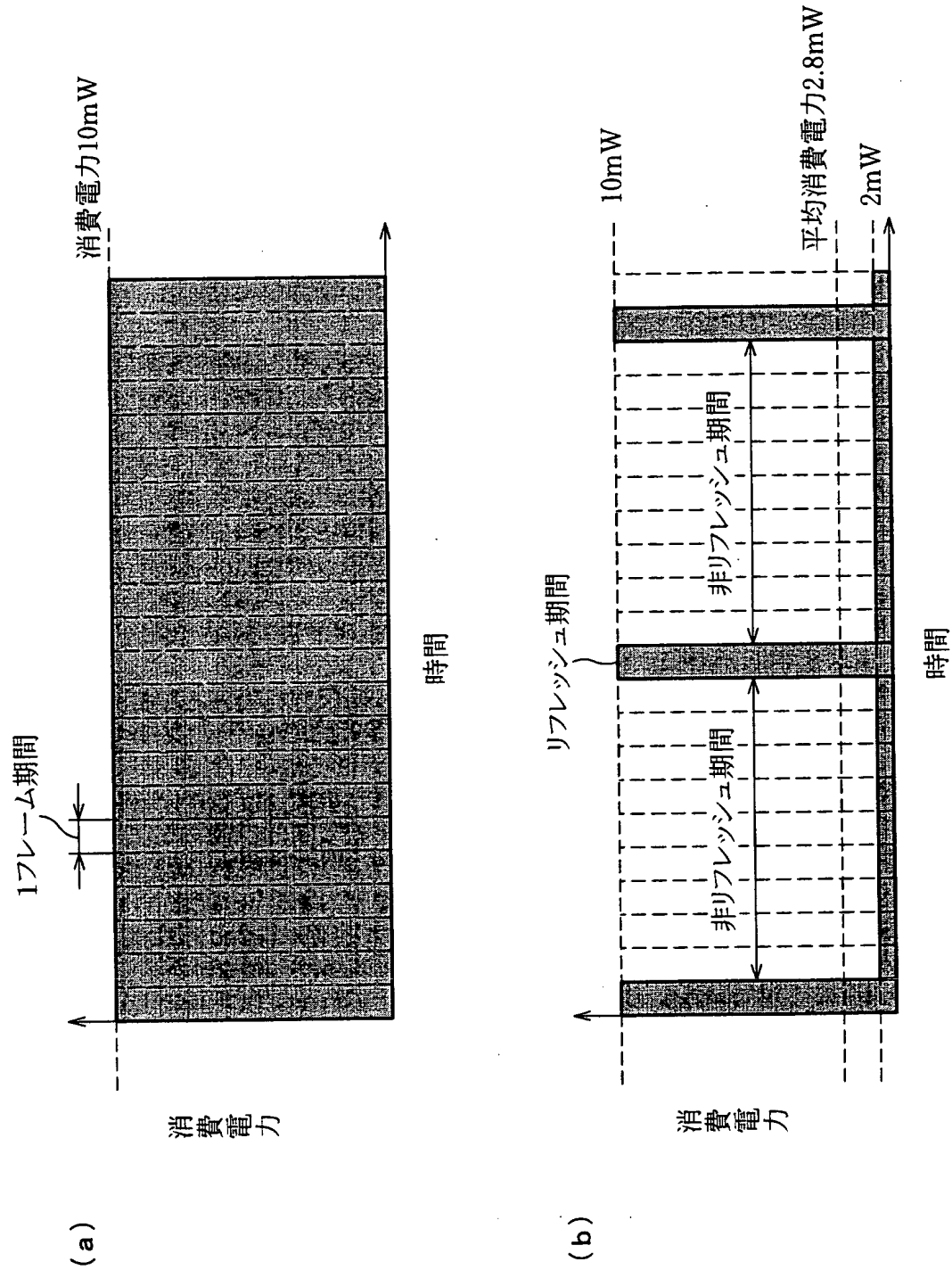
【図 1 3】



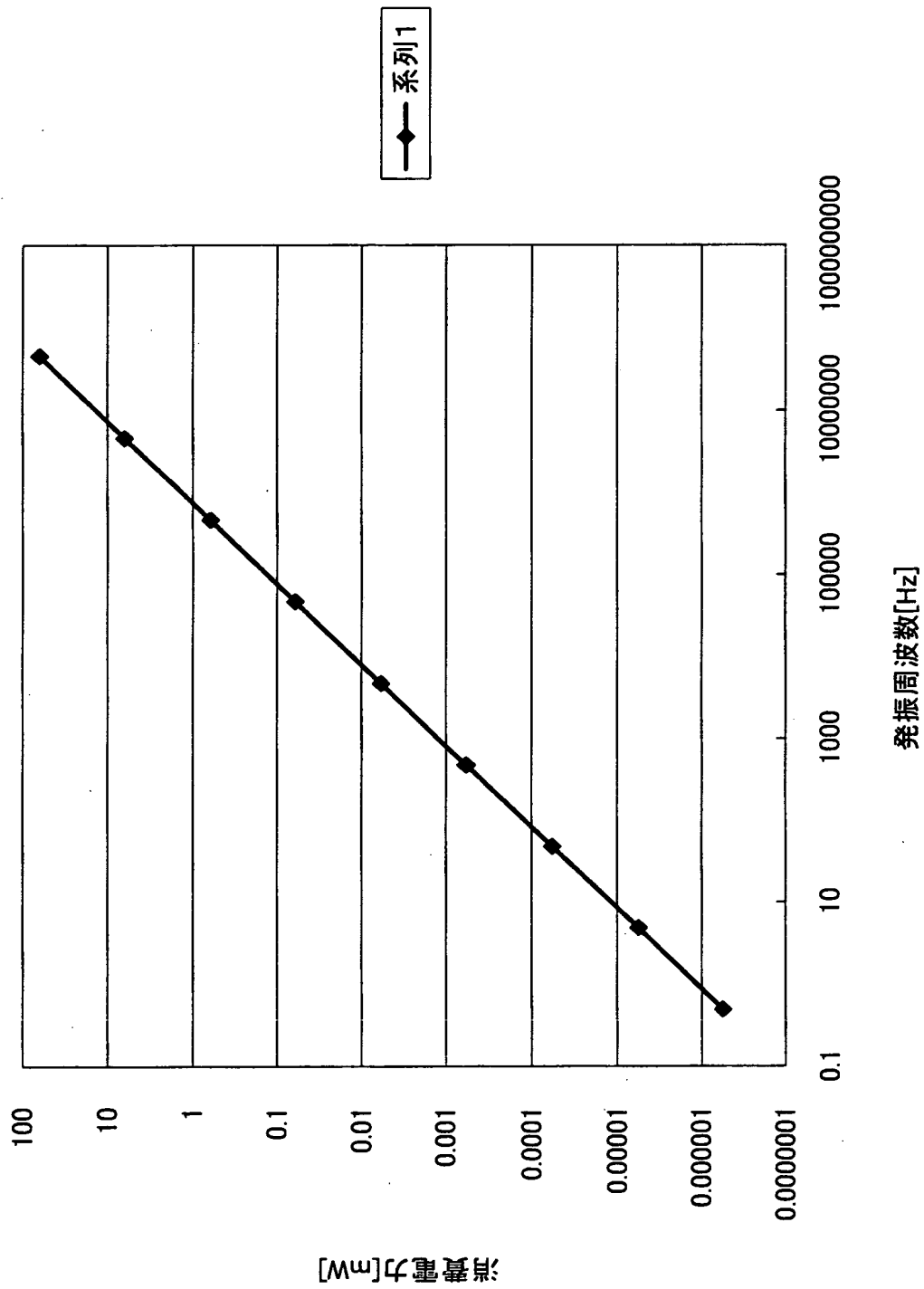
【図 1 4】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 非リフレッシュ期間に消費電力の大きい回路を停止させることで、リフレッシュ期間と非リフレッシュ期間との平均消費電力を大幅に低減できる表示装置を提供する。

【解決手段】 アクティブマトリクスパネル 1 の画面を走査するリフレッシュ期間とリフレッシュ期間との間に、全走査信号線を非走査状態とする非リフレッシュ期間を設け、この非リフレッシュ期間に、上記アクティブマトリクスパネル 1 を駆動するための信号線駆動回路 2、走査線駆動回路 3、アナログ回路 5 等の駆動回路の駆動を停止させる休止制御回路 9 と、データ信号を上記アクティブマトリクスパネル 1 内のデータ信号線に取り込むために使用されるクロック信号を生成する D C K - P L L 回路 6 とを備える。上記休止制御回路 9 は、上記非リフレッシュ期間に、上記駆動回路の他に、上記 D C K - P L L 回路 6 の駆動を停止させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社